

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2003-216195  
(P2003-216195A)

(43) 公開日 平成15年7月30日 (2003.7.30)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
G 1 0 L 19/00		H 0 3 M 7/36	5 J 0 6 4
19/02		G 1 0 L 9/18	M
H 0 3 M 7/36		7/04	G

審査請求 有 請求項の数 5 O L (全 17 頁)

(21) 出願番号 特願2003-19274(P2003-19274)  
 (62) 分割の表示 特願平8-170275の分割  
 (22) 出願日 平成8年6月28日 (1996.6.28)  
 (31) 優先権主張番号 特願平7-166384  
 (32) 優先日 平成7年6月30日 (1995.6.30)  
 (33) 優先権主張国 日本 (J P)  
 (31) 優先権主張番号 特願平8-144339  
 (32) 優先日 平成8年6月6日 (1996.6.6)  
 (33) 優先権主張国 日本 (J P)

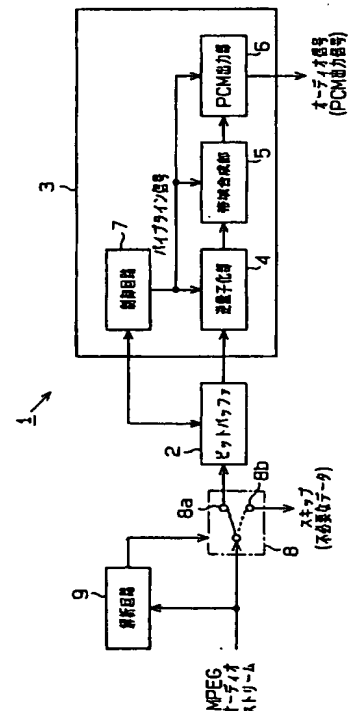
(71) 出願人 000001889  
三洋電機株式会社  
大阪府守口市京阪本通2丁目5番5号  
 (72) 発明者 山内 英樹  
大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会 社内  
 (74) 代理人 100111383  
弁理士 芝野 正雅  
Fターム(参考) 5J064 AA00 BA04 BB10 BC01 BC02  
BC16 BC25 BC27 BD03

(54) 【発明の名称】 MPEGオーディオデコーダ

(57) 【要約】

【課題】 ビットバッファのオーバーフローを回避することが可能なMPEGオーディオデコーダを提供する。

【解決手段】 MPEGオーディオデコーダ1はビットバッファ2、デコードコア回路3、解析回路9、スキップ回路8から構成される。デコードコア回路3は逆量子化部4、帯域合成部5、PCM出力部6、制御回路7から構成される。スキップ回路8は2つのノード8a、8bを備え、解析回路9の制御に従って各ノード8a、8b側への接続が切り換えられる。そして、ノード8a側に接続されると、外部機器から転送されてきたオーディオストリームはそのままビットバッファ2へ転送される。また、ノード8b側に接続されると、外部機器から転送されてきたオーディオストリームはスキップされる。解析回路9は、外部機器から転送されてきたオーディオストリームを構成する各AAUを解析し、その解析結果に基づいてスキップ回路8を制御する。



## 【特許請求の範囲】

【請求項1】 オーディオストリームを蓄積するビットバッファと、

ビットバッファから読み出されたオーディオストリームを構成する各フレームをMPEGオーディオパートに準拠してデコードするデコードコア回路と、

オーディオストリームを構成する各フレームを解析する解析回路と、

解析回路の解析結果に基づいて、各フレームからデコードコア回路において必要なデータだけを抽出し、その抽出したデータをビットバッファへ転送して、残りのデータをスキップするスキップ手段とを備えたことを特徴とするMPEGオーディオデコーダ。

【請求項2】 請求項1に記載のMPEGオーディオデコーダにおいて、前記デコードコア回路において必要なデータとはヘッダとエラーチェックとオーディオデータであり、不必要なデータとはアンシラリーデータとエラーデータであることを特徴としたMPEGオーディオデコーダ。

【請求項3】 オーディオストリームを蓄積するビットバッファと、

ビットバッファから読み出されたオーディオストリームを構成する各フレームをMPEGオーディオパートに準拠してデコードするデコードコア回路と、

ビットバッファの占有量を検出し、その占有量と予め定められた閾値とを比較する占有量判定回路と、

占有量判定回路の判定結果に基づいて、オーディオストリームから所定のフレームをフレーム単位でスキップし、残りのフレームをビットバッファへ転送するフレームスキップ手段とを備えたことを特徴とするMPEGオーディオデコーダ。

【請求項4】 オーディオストリームを蓄積するビットバッファと、

ビットバッファから読み出されたオーディオストリームを構成する各フレームをMPEGオーディオパートに準拠してデコードするデコードコア回路と、

ビットバッファの占有量を検出し、その占有量と予め定められた閾値とを比較する占有量判定回路と、

占有量判定回路の判定結果に基づいて、オーディオストリーム中の一部のデータをフレーム単位でビットバッファに格納し、デコードコア回路に転送する制御手段とを備えたことを特徴とするMPEGオーディオデコーダ。

【請求項5】 請求項1～4のいずれか1項に記載のMPEGオーディオデコーダにおいて、前記デコードコア回路の出力をD/A変換するD/Aコンバータと、D/Aコンバータの出力を増幅するオーディオアンプとを備えたことを特徴とするMPEGオーディオデコーダ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、MPEG (Moving

Picture Expert Group) オーディオデコーダに関するものである。

## 【0002】

【従来の技術】 マルチメディアで扱われる情報は、膨大な量で且つ多種多様であり、これらの情報を高速に処理することがマルチメディアの実用化を図る上で必要となってくる。情報を高速に処理するためには、データの圧縮・伸長技術が不可欠となる。そのようなデータの圧縮・伸長技術として「MPEG」方式が挙げられる。このMPEG方式は、ISO (International Organization for Standardization) / IEC (International Electrotechnical Commission) 傘下のMPEG委員会 (ISO/IEC JTC1/SC29/WG11) によって標準化されつつある。

【0003】 MPEGは3つのパートから構成されている。パート1の「MPEGシステムパート」(ISO/IEC 11172 Part1:Systems)では、ビデオデータとオーディオデータの多重化構造(マルチプレクス・ストラクチャ)および同期方式が規定される。パート2の「MPEGビデオパート」(ISO/IEC 11172 Part2:Video)では、ビデオデータの高効率符号化方式およびビデオデータのフォーマットが規定される。パート3の「MPEGオーディオパート」(ISO/IEC 11172 Part3:Audio)では、オーディオデータの高効率符号化方式およびオーディオデータのフォーマットが規定される。

【0004】 MPEGビデオパートで取り扱われるビデオデータは動画に関するものであり、その動画は1秒間に数十個(例えば、30個)のフレーム(静止画、コマ)によって構成されている。ビデオデータは、シーケンス(Sequence)、GOP (Group Of Pictures)、ピクチャ、スライス(Slice)、マクロブロック(Macroblock)、ブロックの順に6層の階層構造から成る。

【0005】 また、MPEGには主にエンコードレートの違いにより、現在のところ、MPEG-1、MPEG-2の2つの方式がある。MPEG-1においてフレームはピクチャに対応している。MPEG-2においては、フレームまたはフィールドをピクチャに対応させることもできる。フィールドは、2個で1つのフレームを構成している。ピクチャにフレームが対応している構造はフレーム構造と呼ばれ、ピクチャにフィールドが対応している構造はフィールド構造と呼ばれる。

【0006】 MPEGでは、フレーム間予測と呼ばれる圧縮技術を用いる。フレーム間予測は、フレーム間のデータを時間的な相関に基づいて圧縮する。フレーム間予測では双方向予測が行われる。双方向予測とは、過去の再生画像(または、ピクチャ)から現在の再生画像を予測する順方向予測と、未来の再生画像から現在の再生画像を予測する逆方向予測とを併用することである。

【0007】 この双方向予測は、Iピクチャ(Intra-Picture)、Pピクチャ(Predictive-Picture)、Bピクチャ(Bidirectionally predictive-Picture)と呼ばれ

る3つのタイプのピクチャを規定している。Iピクチャは、過去や未来の再生画像とは無関係に、独立して生成される。Pピクチャは順方向予測（過去のIピクチャまたはPピクチャからの予測）により生成される。Bピクチャは双方向予測により生成される。双方向予測においてBピクチャは、以下に示す3つの予測のうちいずれか1つにより生成される。①順方向予測；過去のIピクチャまたはPピクチャからの予測、②逆方向予測；未来のIピクチャまたはPピクチャからの予測、③双方向予測；過去および未来のIピクチャまたはPピクチャからの予測。そして、これらI、P、Bピクチャがそれぞれエンコードされる。つまり、Iピクチャは過去や未来のピクチャが無くても生成される。これに対し、Pピクチャは過去のピクチャが無いと生成されず、Bピクチャは過去または未来のピクチャが無いと生成されない。

【0008】フレーム間予測では、まず、Iピクチャが周期的に生成される。次に、Iピクチャよりも数フレーム先のフレームがPピクチャとして生成される。このPピクチャは、過去から現在への一方向（順方向）の予測により生成される。続いて、Iピクチャの前、Pピクチャの後に位置するフレームがBピクチャとして生成される。このBピクチャを生成するとき、順方向予測、逆方向予測、双方向予測の3つの中から最適な予測方法が選択される。一般的に連続した動画では、現在の画像とその前後の画像とは良く似ており、異なっているのはその一部分に過ぎない。そこで、前のフレーム（例えば、Iピクチャ）と次のフレーム（例えば、Pピクチャ）とは同じであると仮定し、両フレーム間に変化があればその差分（Bピクチャのデータ）のみを抽出して圧縮する。これにより、フレーム間のデータを時間的な相関に基づいて圧縮することができる。

【0009】このようにMPEGビデオパートに準拠してエンコードされたビデオデータのデータ列（ビットストリーム）は、MPEGビデオストリームと呼ばれる。また、MPEGオーディオパートに準拠してエンコードされたオーディオデータのデータ列は、MPEGオーディオストリームと呼ばれる。そして、ビデオストリームとオーディオストリームは、MPEGシステムパートに準拠して時分割多重化され、1本のデータ列としてのMPEGシステムストリームとなる。システムストリームはマルチプレックスストリームとも呼ばれる。

【0010】ところで、MPEG-1は主にビデオCD（Compact Disc）、CD-ROM（CD-Read Only Memory）、DVD（Digital Video Disk）などの記録媒体を用いた蓄積メディアに対応しており、MPEG-2はMPEG-1をも含む幅広い範囲のアプリケーションに対応している。

【0011】MPEGオーディオには、レイヤ（Layer）I、レイヤII、レイヤIIIの3つのモードがあり、高いレイヤほど高音質および高圧縮率が実現できる。オ

ーディオストリームの1フレームは、AAU（Audio Access Unit）と呼ばれる。AAUは、一つ一つ単独でデコード可能な最小単位で、各レイヤ毎に設定された一定のサンプル数（レイヤIは384サンプル、レイヤIIおよびレイヤIIIは1152サンプル）のデータを含んでいる。

【0012】AAUの構成は、先頭からヘッダ、オプションのエラーチェック（CRC；Cyclic Redundancy Code 16ビット）、オーディオデータと続く。ヘッダからオーディオデータまでがオーディオ信号を再生するために使われるデータである。

【0013】ヘッダにはサンプリング周波数が規定されている。サンプリング周波数とは、サンプリングレートを指定するフィールドであり、3種類の周波数（32kHz、44.1kHz、48kHz）から選択される。

【0014】オーディオデータは可変長のデータであり、オーディオデータの終わりがAAUの終わりに達しない場合、残りの部分（オーディオデータの終わってからAAUの終わりまでの隙間部分）は、アンシラリーデータ（Ancillary Data）と呼ばれる。このアンシラリーデータには、MPEGオーディオ以外の任意のデータを挿入することが可能である。尚、MPEG-2では、アンシラリーデータにマルチチャンネルおよびマルチリンガルのデータを挿入する。

【0015】レイヤIのオーディオデータは、アロケーション（Allocation）、スケールファクタ（Scale Factor）、サンプル（Sample）から構成されている。レイヤIIおよびレイヤIIIのオーディオデータは、アロケーション、スケールファクタ選択情報（Scale Factor Slect Information）、スケールファクタ、サンプルから構成されている。

【0016】スケールファクタとは、各サブバンドおよび各チャンネル毎の波形の再生時の倍率である。サブバンドおよびチャンネル毎に各々6ビットで表され、+6〜-118dBまで約2dB単位で指定することができる。スケールファクタの値は再生される音声の音圧レベルに対応しているため、スケールファクタの値がある程度以下になると、再生音は人間には聴取できない音圧レベル（すなわち、無音）になる。

【0017】MPEGオーディオで利用される人間の聴覚特性（聴覚心理モデル）には、マスキング効果および最小可聴限特性がある。マスキング効果とは、ある周波数で大きな音がすると、その近辺の周波数のあるレベル以下の音が聴こえなくなるか、聴こえにくくなるというものである。また、最小可聴限特性とは、人間の耳が数百Hzの人間の声の帯域に最も敏感で、超低域や超高域ではある音圧レベル以下の音が聴こえなくなるという一定の周波数特性をもっているというものである。そこで、マスキング効果と最小可聴限特性とを合成して音声信号と共にダイナミックに変化するマスキングレベルを設定し、そのレベル以下の信号をデータ圧縮する。その結果、レ

イヤIではエンコードレート：192k, 128kbps, 圧縮率：1/4, 音質はCD-DA (CD Digital Audio) およびPCM (Pulse Code Modulation) と同等、レイヤIIではエンコードレート：128k, 96kbps, 圧縮率：1/6 ~ 1/8, 音質はMDおよびDCCと同等、レイヤIIIではエンコードレート：128k, 96k, 64kbps, 圧縮率：1/6 ~ 1/12, といった圧縮効果および音質が得られる。

【0018】MPEGオーディオエンコーダにおいては、まず、入力された音声信号が帯域分割フィルタを使って32のサブバンドに分割される。次に、量子化において、前記のようにマスキング効果および最小可聴限特性を利用し、マスクされて聴こえなくなった音声にビット割り当てをしないことにより、情報量が削減されてデータ圧縮が行われる。

【0019】図12に、従来のMPEGオーディオデコーダ301の要部ブロック回路を示す。MPEGオーディオデコーダ301は、ビットバッファ302およびデコードコア回路303から構成されている。デコードコア回路303は、逆量子化部304、帯域合成部305、PCM出力部306、制御回路307から構成されており、オーディオストリームを構成する各AAU（フレーム）をMPEGオーディオパートに準拠してデコードする。

【0020】ビットバッファ302はFIFO (First-In-First-Out) 構成のRAM (Random Access Memory) から成るリングバッファによって構成され、外部機器（ビデオCDやDVDなどの記録媒体、パーソナルコンピュータなどの情報機器、等）から転送されてきたオーディオストリームを順次蓄積する。

【0021】制御回路307は、ビットバッファ302に蓄積されたオーディオストリームを構成する各AAUの先頭に付くヘッダを検出し、その検出結果に基づいて、ビットバッファ302から1つのAAU分ずつのオーディオストリームを読み出す。また、制御回路307は、ヘッダに規定されているサンプリング周波数を検出し、そのサンプリング周波数に対応したパルスであるパイプライン信号を生成する。

【0022】各部304~306の動作はパイプライン信号に従って制御される。すなわち、各部304~306の動作速度はパイプライン信号に対応したものになる。逆量子化部304は、ビットバッファ302から読み出された各AAUに対して、前記したエンコーダにおける量子化の逆量子化を行う。

【0023】帯域合成部305は、逆量子化部304の出力に対してバタフライ演算による積和演算を行い、前記したエンコーダにおいて32のサブバンドに分割されたデータを1つに合成する。

【0024】PCM出力部306は、出力インタフェースおよびクロスアッテネータから構成され、帯域合成部305の出力からオーディオ信号（PCM出力信号）を

生成する。

【0025】そのオーディオ信号は、D/Aコンバータ（図示略）によってD/A変換された後に、オーディオアンプ（図示略）で増幅されてスピーカ（図示略）へ送られる。そして、スピーカから音声再生される。

【0026】

【発明が解決しようとする課題】外部機器から転送されてくるオーディオストリームのビットレートが規定値よりも大きい場合、ビットバッファ302がオーバーフローする恐れがある。

【0027】ビットバッファ302はリングバッファによって構成されているため、オーバーフローすると、ビットバッファ302に既に蓄積されていたオーディオストリームに対して、新たに入力されたオーディオストリームが上書きされることになる。すると、ビットバッファ302に既に蓄積されていたオーディオストリームが破壊されて失われてしまう。その結果、失われたオーディオストリームについては音声を再生することができなくなり、再生音に音切れが起こってユーザが聴き苦しく感じる。

【0028】尚、オーディオストリームのビットレートが規定値よりも大きい場合とは、以下に示すような場合である。

【0029】(1) 音声を通常（標準）の再生速度より高速で再生する場合。このような高速再生は、例えば、外部機器として記録媒体を用いた場合に、ユーザが短時間に音声を聴くために早送り再生を行う際や、聴きたい音声を探索するために早送り再生または早送り逆転再生を行う際に使われる。

【0030】(2) 外部機器として情報機器を用いた場合。ビデオCDやDVDなどの記録媒体では、MPEGオーディオパートに準拠してオーディオストリームのビットレートが設定されている。しかし、マイクロコンピュータなどの情報機器では、オーディオストリームのエンコードが必ずしも規格通りに行われているとは限らず、オーディオストリームのビットレートが規格から外れている場合もある。

【0031】本発明は上記問題点を解決するためになされたものであって、その目的は、ビットバッファのオーバーフローを回避することが可能なMPEGオーディオデコーダを提供することにある。

【0032】

【課題を解決するための手段】請求項1のMPEGオーディオデコーダは、オーディオストリームを蓄積するビットバッファと、ビットバッファから読み出されたオーディオストリームを構成する各フレームをMPEGオーディオパートに準拠してデコードするデコードコア回路と、オーディオストリームを構成する各フレームを解析する解析回路と、解析回路の解析結果に基づいて、各フレームからデコードコア回路において必要なデータだけ

を抽出し、その抽出したデータをビットバッファへ転送して、残りのデータをスキップするスキップ手段とを備えたことをその要旨とする。

【0033】請求項2のMPEGオーディオデコーダは、請求項1に記載の発明において、前記デコードコア回路において必要なデータとはヘッダとエラーチェックとオーディオデータであり、不必要なデータとはアンシラリーデータとエラーデータであることをその要旨とする。

【0034】請求項3のMPEGオーディオデコーダは、オーディオストリームを蓄積するビットバッファと、ビットバッファから読み出されたオーディオストリームを構成する各フレームをMPEGオーディオパートに準拠してデコードするデコードコア回路と、ビットバッファの占有量を検出し、その占有量と予め定められた閾値とを比較する占有量判定回路と、占有量判定回路の判定結果に基づいて、オーディオストリームから所定のフレームをフレーム単位でスキップし、残りのフレームをビットバッファへ転送するフレームスキップ手段とを備えたことをその要旨とする。

【0035】請求項4のMPEGオーディオデコーダは、オーディオストリームを蓄積するビットバッファと、ビットバッファから読み出されたオーディオストリームを構成する各フレームをMPEGオーディオパートに準拠してデコードするデコードコア回路と、ビットバッファの占有量を検出し、その占有量と予め定められた閾値とを比較する占有量判定回路と、占有量判定回路の判定結果に基づいて、オーディオストリーム中の一部のデータをフレーム単位でビットバッファに格納し、デコードコア回路に転送する制御手段とを備えたことをその要旨とする。

【0036】請求項5のMPEGオーディオデコーダは、請求項1～4のいずれか1項に記載の発明において、前記デコードコア回路の出力をD/A変換するD/Aコンバータと、D/Aコンバータの出力を増幅するオーディオアンプとを備えたことをその要旨とする。

【0037】

【発明の実施の形態】（第1実施形態）以下、本発明を具体化した第1実施形態を図1に従って説明する。

【0038】図1に、本実施形態のMPEGオーディオデコーダ1の要部ブロック回路を示す。MPEGオーディオデコーダ1は、ビットバッファ2、デコードコア回路3、解析回路9、スキップ回路8から構成されている。尚、各回路2、3、8、9は1チップのLSIに搭載されている。

【0039】デコードコア回路3は、逆量子化部4、帯域合成部5、PCM出力部6、制御回路7から構成されており、MPEGオーディオストリームを構成する各AAU（フレーム）をMPEGオーディオパートに準拠してデコードする。

【0040】後記するように、外部機器（ビデオCDやDVDなどの記録媒体、パーソナルコンピュータなどの情報機器、等）から転送されてきたオーディオストリームは、スキップ回路8を介してビットバッファ2へ送られる。

【0041】スキップ回路8は2つのノード8a、8bを備え、解析回路9の制御に従って各ノード8a、8b側への接続が切り換えられる。そして、ノード8a側に接続されると、外部機器から転送されてきたオーディオストリームはそのままビットバッファ2へ転送される。また、ノード8b側に接続されると、外部機器から転送されてきたオーディオストリームはスキップされる。その結果、ビットバッファ2へ転送されるオーディオストリームは、スキップ回路8によってスキップされた分だけ間引かれる。

【0042】解析回路9は、外部機器から転送されてきたオーディオストリームを構成する各AAUを解析し、その解析結果に基づいてスキップ回路8を制御する。すなわち、解析回路9は、各AAUのうち、デコードコア回路3において必要なデータ（ヘッダ、エラーチェック、オーディオデータ）だけがビットバッファ2へ転送されるように、スキップ回路8の各ノード8a、8bの切り換えを制御する。つまり、解析回路9は、外部機器から転送されてきたオーディオストリームのデータが必要ときにはスキップ回路8をノード8a側に接続させ、そのデータをそのままビットバッファ2へ転送させる。また、デコードコア回路3において必要でないデータ（例えば、アンシラリーデータやエラーデータなど）のときにはスキップ回路8をノード8b側に接続させ、そのデータをスキップさせる。

【0043】ビットバッファ2はFIFO構成のRAMから成るリングバッファによって構成され、オーディオストリームを順次蓄積する。制御回路7は、ビットバッファ2に蓄積されたオーディオストリームを構成する各AAUの先頭に付くヘッダを検出し、その検出結果に基づいて、ビットバッファ2から1つのAAU分ずつのオーディオストリームを読み出す。また、制御回路7は、ヘッダに規定されているサンプリング周波数を検出し、そのサンプリング周波数に対応したパルスであるパイプライン信号を生成する。

【0044】各部4～6の動作はパイプライン信号に従って制御される。すなわち、各部4～6の動作速度はパイプライン信号に対応したものになる。逆量子化部4は、ビットバッファ2から読み出された各AAUに対して、前記したエンコーダにおける量子化の逆量子化を行う。

【0045】帯域合成部5は、逆量子化部4の出力に対してバタフライ演算による積和演算を行い、前記したエンコーダにおいて32のサブバンドに分割されたデータを1つに合成する。

【0046】PCM出力部6は、出力インタフェースおよびクロスアッテネータから構成され、帯域合成部5の出力からオーディオ信号（PCM出力信号）を生成する。後記するように、そのオーディオ信号は、D/AコンバータによってD/A変換された後に、オーディオアンプで増幅されてスピーカへ送られる。そして、スピーカから音声再生される。

【0047】このように本実施形態によれば、上記の構成によって以下に示す作用および効果を得ることができる。

【0048】①解析回路9とスキップ回路8とを設けることで、デコードコア回路3において必要なデータ（ヘッダ、エラーチェック、オーディオデータ）だけをビットバッファ2へ転送する。その結果、ビットバッファ2は必要なデータだけを蓄積することができる。

【0049】従来のMP EGオーディオデコーダ301では、外部機器から転送されてきたオーディオストリームを全てビットバッファ302へ転送するため、ビットバッファ302は不必要なデータも蓄積していた。そのため、特に、外部機器から転送されてくるオーディオストリームのビットレートが規定値よりも大きい場合、ビットバッファ302がオーバーフローする恐れがあった。

【0050】しかし、本実施形態では、ビットバッファ2は必要なデータだけを蓄積するため、ビットバッファ2に蓄積されるデータ量（ビットバッファ2の占有量）は、不必要なデータが省かれた分だけ少なくなる。従って、外部機器から転送されてくるオーディオストリームのビットレートが規定値よりも大きい場合でも、ビットバッファ2のオーバーフローを回避することができる。

【0051】②上記①を逆に言えば、ビットバッファ2がオーバーフローする恐れが全く無い場合、ビットバッファ2の占有量が少なくなる分だけ、ビットバッファ2の容量を少なくすることができる。

【0052】③ビットバッファ2には必要なデータだけが蓄積されているため、制御回路7がビットバッファ2からAAUを読み出す際に、制御回路7からビットバッファ2へのアクセス回数を減らすことができる。

【0053】（第2実施形態）以下、本発明を具体化した第2実施形態を図2～図4に従って説明する。尚、本実施形態において、第1実施形態と同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0054】図2に、本実施形態のMP EGオーディオデコーダ11の要部ブロック回路を示す。MP EGオーディオデコーダ11は、ビットバッファ2、デコードコア回路3、スキップ回路8、占有量判定回路12、解析回路13から構成されている。尚、各回路2、3、8、12、13は1チップのLSIに搭載されている。

【0055】スキップ回路8は2つのノード8a、8bを備え、占有量判定回路12および解析回路13の制御

に従って各ノード8a、8b側への接続が切り換えられる。占有量判定回路12は、ビットバッファ2の占有量Bを検出し、オーバーフローする恐れがあるかどうかを判定する。

【0056】解析回路13は、外部機器から転送されてきたオーディオストリームを構成する各AAUを解析し、ビットバッファ2へ転送されるAAUが途切れないようにスキップ回路8の各ノード8a、8bを切り換える。その結果、ビットバッファ2へ転送されるオーディオストリームは、スキップ回路8によってスキップされた分だけAAU単位で間引かれる。

【0057】次に、本実施形態の動作を図3に従って説明する。占有量判定回路12は、占有量Bが予め設定された閾値TH1よりも小さい場合、ビットバッファ2がオーバーフローする恐れがないと判定する。この場合、解析回路13は、ビットバッファ2へ転送されるAAUが途切れないようにスキップ回路8をノード8a側に接続させ、外部機器から転送されてきたオーディオストリームをそのままビットバッファ2へ転送させる。すると、ビットバッファ2の占有量Bは、外部機器から転送されてきたオーディオストリームのビットレートに対応して上昇する（図示の期間 $\alpha$ ）。

【0058】次に、占有量判定回路12は、占有量Bが予め設定された閾値TH1よりも大きくなった場合、ビットバッファ2がオーバーフローする恐れがあると判定する。この場合、解析回路13は、ビットバッファ2へ転送されるAAUが途切れないようにスキップ回路8をノード8b側に接続させ、外部機器から転送されてきたオーディオストリームをAAU単位でスキップさせる。すると、占有量Bは、ビットバッファ2からAAUが読み出されるに従って減少してゆく（図示の期間 $\beta$ ）。

【0059】そして、占有量判定回路12は、占有量Bが予め設定された閾値TH2よりも小さくなった場合、ビットバッファ2がオーバーフローする恐れがなくなったと判定する。この場合、解析回路13は、ビットバッファ2へ転送されるAAUが途切れないようにスキップ回路8をノード8a側に接続させ、外部機器から転送されてきたオーディオストリームをそのままビットバッファ2へ転送させる（図示の期間 $\alpha$ ）。

【0060】このように、上記期間 $\beta$ においてはビットバッファ2にAAUが入力されない。そのため、上記期間 $\beta$ に対応するAAUについてはオーディオ信号を生成することができず、オーディオ信号が連続して生成される時間（すなわち、音声連続して再生される時間）は、上記期間 $\alpha$ に対応したものになる。音声連続して再生される時間が短くなり過ぎると、再生音に音切れが起こってユーザが聴き苦しく感じる。従って、各閾値TH1、TH2は、実際の試聴によって最適な値に設定する必要がある。

【0061】このように本実施形態によれば、上記の構

成によって以下に示す作用および効果を得ることができる。

【0062】①占有量判定回路12とスキップ回路8とを設けることで、ビットバッファ2の占有量Bを最適に制御することができる。従って、外部機器から転送されてくるオーディオストリームのビットレートが規定値よりも大きい場合でも、ビットバッファ2のオーバーフローを確実に回避することができる。

【0063】②スキップ回路8からスキップされるオーディオストリームはAAU単位となるため、ビットバッファ2に蓄積されるオーディオストリームもAAU単位となり、デコードコア回路3はAAU毎にオーディオ信号を生成することができる。

【0064】③本実施形態における高速再生時の効果についてシミュレーションしたところ、8倍速再生以上の高速再生においてもビットバッファ2のオーバーフローを回避することができ、再生音に音切れが生じないことが確認できた。

【0065】④図4に示すように、各閾値TH1、TH2を同じ値に設定してもよい。この場合、期間 $\alpha$ が短くなるため、音声が続いて再生される時間が短くなり、音切れが生じやすくなる。その反面で、占有量判定回路12の処理が簡単になるため、占有量判定回路12の回路規模を小さくすることができる。

【0066】(第3実施形態)以下、本発明を具体化した第3実施形態を図5に従って説明する。尚、本実施形態において、第1および第2実施形態と同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0067】図5に、本実施形態のMPEGオーディオデコーダ21の要部ブロック回路を示す。MPEGオーディオデコーダ21は、ビットバッファ2、デコードコア回路3、占有量判定回路12から構成されている。尚、各回路2、3、12は1チップのLSIに搭載されている。

【0068】デコードコア回路3は、逆量子化部4、帯域合成部5、PCM出力部6、制御回路22から構成されている。外部機器から転送されてきたオーディオストリームは、直接ビットバッファ2へ転送される。占有量判定回路12は、ビットバッファ2の占有量Bを検出し、オーバーフローする恐れがあるかどうかを判定する。

【0069】制御回路22は、ビットバッファ2に蓄積されたオーディオストリームを構成する各AAUの先頭に付くヘッダを検出し、その検出結果に基づいて、ビットバッファ2から1つのAAU分ずつのオーディオストリームを読み出す。また、制御回路22は、占有量判定回路12の判定結果に基づいてパルスであるパイプライン信号を生成する。すなわち、制御回路22は、ビットバッファ2の占有量Bが大きくなるほどパイプライン信号の発生周期を短くする。

【0070】各部4～6の動作はパイプライン信号に従って制御される。すなわち、各部4～6の動作速度はパイプライン信号の発生周期に対応したものになる。従って、ビットバッファ2の占有量Bが大きくなるほどパイプライン信号の発生周期が短くなり、各部4～6の動作速度が速くなる。

【0071】ビットバッファ2からオーディオストリームが読み出される速度は、デコードコア回路3の処理速度(すなわち、各部4～6の動作速度)に依存する。そのため、各部4～6の動作速度を速くすれば、ビットバッファ2からオーディオストリームが読み出される速度も速くなる。つまり、外部機器から転送されてくるオーディオストリームのビットレートが規定値よりも大きい場合でも、そのビットレート以上の速度でビットバッファ2からオーディオストリームを読み出せば、オーバーフローを回避することができる。

【0072】このように本実施形態によれば、外部機器から転送されてくるオーディオストリームのビットレートが規定値よりも大きい場合でも、ビットバッファ2のオーバーフローを回避することができる。

【0073】尚、本実施形態では、デコードコア回路3の処理速度が速くなる分だけ、オーディオ信号のビットレートが大きくなる。その結果、再生される音声の音程(ピッチ)が上がるのに加えて、発声速度(話速)が速くなる。従って、デコードコア回路3の処理速度を速くし過ぎると、再生音に音切れは起こらないものの、やはりユーザは聴き苦しく感じる。従って、パイプライン信号の発生周期は短くし過ぎないことが重要であり、その発生周期は実際の試聴によって最適な値に設定する必要がある。

【0074】(第4実施形態)以下、本発明を具体化した第4実施形態を図6に従って説明する。尚、本実施形態において、第1～3実施形態と同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0075】図6に、本実施形態のMPEGオーディオデコーダ31の要部ブロック回路を示す。MPEGオーディオデコーダ31は、ビットバッファ2、デコードコア回路3、占有量判定回路12から構成されている。尚、各回路2、3、12は1チップのLSIに搭載されている。

【0076】デコードコア回路3は、逆量子化部32、帯域合成部5、PCM出力部6、制御回路7から構成されている。外部機器から転送されてきたオーディオストリームは、直接ビットバッファ2へ転送される。

【0077】占有量判定回路12は、ビットバッファ2の占有量Bを検出し、オーバーフローする恐れがあるかどうかを判定する。帯域合成部5は、逆量子化部32の出力に対してバタフライ演算による積和演算を行い、前記したエンコーダにおいて32のサブバンドに分割されたデータを1つに合成する。

【0078】逆量子化部32は、ビットバッファ2から読み出された各AAUに対して、前記したエンコーダにおける量子化の逆量子化を行う。また、逆量子化部32は、占有量判定回路12の判定結果と、AAUに含まれるオーディオデータに含まれるスケールファクタとに基づいて、そのAUUに逆量子化処理を施すか又はスキップするかを決定する。

【0079】すなわち、スケールファクタの値は再生される音声の音圧レベルに対応しているため、スケールファクタの値が所定値以下になると、そのAUUの再生音は人間には聴取できない音圧レベル（すなわち、無音）になる。つまり、無音のAUUをスキップしても、再生される音声区間（音声が存在している区間）は変化しない。従って、逆量子化部32から無音のAUUをスキップすることで、帯域合成部5およびPCM出力部6はそのAUUを処理する必要がなくなり、その分だけ、ビットバッファ2からオーディオストリームが読み出される速度を速くすることができる。つまり、外部機器から転送されてくるオーディオストリームのビットレートが規定値よりも大きい場合でも、そのビットレート以上の速度でビットバッファ2からオーディオストリームを読み出せば、オーバーフローを回避することができる。

【0080】但し、無音のAUUをスキップすると、再生される音声から無音区間（音声が存在していない時間）がなくなるため、ユーザは不自然に感じる。そこで、占有量判定回路12の判定結果に基づき、ビットバッファ2がオーバーフローする恐れがある場合にだけ、無音のAUUをスキップする。このようにすれば、再生される音声をできるだけ自然な状態に保った上で、ビットバッファ2のオーバーフローを回避することができる。

【0081】図8に、MPEGシステムデコーダのブロック回路を示す。

【0082】MPEGシステムデコーダ101は、オーディオビデオパーサ（AVパーサ）102、MPEGビデオデコーダ201、上記した各MPEGオーディオデコーダ1、11、21、31、41のうちのいずれか1つのMPEGオーディオデコーダを備えている。

【0083】AVパーサ102は、デマルチプレクサ（DMUX: DeMultipleXer）103を備えており、外部機器104から転送されてきたMPEGシステムストリームを入力する。DMUX103は、システムストリームをMPEGビデオストリームとMPEGオーディオストリームに分離する。ビデオストリームはビデオデコーダ201へ出力され、オーディオストリームはオーディオデコーダ1、11、21、31、41へ出力される。

【0084】ビデオデコーダ201は、MPEGビデオパートに準拠してビデオストリームをデコードし、ビデオ信号を生成する。そのビデオ信号はディスプレイ10

5へ出力され、ディスプレイ105で動画が再生される。

【0085】オーディオデコーダ1、11、21、31、41は、上記したようにオーディオ信号を生成し、そのオーディオ信号はD/Aコンバータ106によってD/A変換された後、オーディオアンプ107で増幅されてスピーカ108へ送られる。そして、スピーカ108から音声再生される。

【0086】外部機器104から転送されてきたシステムストリームのビットレートは、読み出し速度に対応したものになる。そして、ビデオストリームおよびオーディオストリームのビットレートは、システムストリームのそれと同一になる。

【0087】従って、ビデオデコーダ12は、システムストリームのビットレートに対応したビデオ出力を生成する。すなわち、システムストリームのビットレートが、通常の再生時（標準再生時）よりも大きければディスプレイ105では動画が高速再生され、通常の再生時よりも小さければディスプレイ105では動画が低速再生される。

【0088】図9に、高速再生機能を備えたMPEGビデオデコーダ201の要部ブロック回路を示す。MPEGビデオデコーダ201は、ビットバッファ202、ピクチャヘッダ検出回路203、MPEGビデオデコードコア回路（以下、デコードコア回路と略す）204、可変閾値オーバーフロー判定回路（以下、判定回路と略す）205、ピクチャスキップ回路206、制御コア回路207から構成されている。尚、各回路203～207は1チップのLSIに搭載されている。

【0089】制御コア回路207は各回路202～206を制御する。

【0090】外部機器から転送されてきたMPEGビデオストリームはビットバッファ202へ転送される。

【0091】ビットバッファ202はFIFO構成のRAMから成るリングバッファによって構成され、転送されてくるビデオストリームをそのまま順次蓄積する。ピクチャヘッダ検出回路203は、ビットバッファ202に蓄積されたビデオストリームの各ピクチャの先頭に付くピクチャヘッダを検出し、その各ピクチャヘッダに規定されているピクチャのタイプ（I、P、B）を検出する。

【0092】制御コア回路207は、ピクチャヘッダ検出回路203の検出結果と後記する判定回路205の判定結果とに基づいて、ビットバッファ202から1フレーム期間毎に適宜なピクチャ分のビデオストリームを読み出す。尚、ビットバッファ202から読み出されたビデオストリームは、読み出された後もビットバッファ202にそのまま残される。

【0093】ビットバッファ202から読み出された各ピクチャは、ピクチャスキップ回路206を介してデコ



ードコア回路204へ転送される。デコードコア回路204は、各ピクチャをMPEGビデオパートに準拠してデコードし、各ピクチャ毎のビデオ信号を生成する。そのビデオ信号は、ビデオデコーダ201の外部に設けられたディスプレイ105へ出力される。

【0094】ピクチャスキップ回路206は、制御コア回路207の制御に従って各ノード206a、206b側への接続が切り換えられる。そして、ピクチャスキップ回路206がノード206a側に接続されると、ビットバッファ202から読み出されたピクチャはそのままデコードコア回路204へ転送される。また、ノード206b側に接続されると、ビットバッファ202から読み出されたピクチャはデコードコア回路204へ転送されずにスキップされる。その結果、デコードコア回路204へ転送されるピクチャは、ピクチャスキップ回路206によってスキップされた分だけピクチャ単位で間引かれる。

【0095】判定回路205は、外部から指定された再生速度に基づいてビットバッファ202の占有量 $B_m$ の閾値 $B_{thn}$ を設定し、ビットバッファ202の占有量 $B_m$ と閾値 $B_{thn}$ とを比較する。尚、外部からの再生速度の指定は、通常の再生速度に対する倍率 $n$ によって行われる。例えば、2倍速再生時には倍率 $n=2$ となり、閾値 $B_{thn}=B_{th2}$ となる。また、通常の再生時には倍率 $n=1$ となり、閾値 $B_{thn}=B_{th1}$ となる。

【0096】そして、判定回路205は、ビットバッファ202の占有量 $B_m$ が閾値 $B_{thn}$ を越えない場合には、ビットバッファ202がオーバーフローする恐れがなく正常であると判定する。この場合、制御コア回路207は、ビットバッファ202から1ピクチャ分のビデオストリームを読み出す。そして、制御コア回路207は、ピクチャスキップ回路206をノード206a側に接続し、そのビットバッファ202から読み出されたピクチャをデコードコア回路204へ転送させる。

【0097】また、判定回路205は、ビットバッファ202の占有量 $B_m$ が閾値 $B_{thn}$ を越えた場合には、ビットバッファ202がオーバーフローする恐れがあると判定する。この場合、制御コア回路207は、ビットバッファ202の占有量 $B_m$ が閾値 $B_{thn}$ を下回るまで、ビットバッファ202から適宜なピクチャ分のビデオストリームを読み出す。そして、制御コア回路207は、ピクチャスキップ回路206をノード206b側に接続し、そのビットバッファ202から読み出された適宜なピクチャ分のビデオストリームを全てスキップさせる。

【0098】図10に、ビットバッファ202の占有量 $B_m$ の変化を示す。ビットバッファ202の占有量 $B_m$ はビットレート $RB$ をグラフの傾きとして上昇する。ビットレート $RB$ は、シーケンスの先頭に付くシーケンスヘッダの $BR$  (Bit Rate) に従って式(1)に示すように規定される。また、外部機器から転送されてくるビデ

オストリームのピクチャレート $RP$ はシーケンスヘッダの $PR$  (Picture Rate) によって規定される。そして、ビットバッファ202の容量 $B$ は、シーケンスヘッダの $VBV$  (Vbv[Video Buffering Verifier] Buffer Size) に従って式(2)に示すように規定される。そして、1フレーム期間毎に、デコードコア回路204がそのときデコードしようとする1ピクチャ分のビデオストリームが、ビットバッファ202から一気に読み出される。ここで、1フレーム期間にビットバッファ202に入力されるビデオストリームのデータ量 $X$ は、ビットレート $RB$ およびピクチャレート $RP$ に従って式(3)に示すように規定される。従って、ビットバッファ202から1ピクチャ分のビデオストリームが一気に読み出された直後のビットバッファ202の占有量 $B_m$  ( $=B_0 \sim B_6$ ) は、データ量 $X$ とビットバッファ202の容量 $B$ とに基づいて、式(4)に示す条件を満たすように規定される。

【0099】

$$RB = 400 \times BR \quad \dots\dots (1)$$

$$B = 16 \times 1024 \times VB \quad \dots\dots (2)$$

$$X = RB / RP \quad \dots\dots (3)$$

$$0 < B_m < B - X = B - (RB / RP) \quad \dots\dots (4)$$

式(4)に示す条件を満たすようにビットバッファ202の占有量 $B_m$ が規定されていれば、ビットバッファ202がオーバーフローしたりアンダーフローしたりすることはない。逆に言えば、ビットバッファ202の占有量 $B_m$ が閾値 $(B-X)$ を越えると、次の1フレーム期間にビットバッファ202に入力されるビデオストリームによってビットバッファ202がオーバーフローする可能性が極めて高くなる。

【0100】ビデオデコーダ201では、通常の再生時において、式(4)が満たされるように、ビットレート $RB$ 、ピクチャレート $RP$ 、容量 $B$ の各値が規定されている。つまり、式(2)に示すようにビットバッファ202の容量 $B$ を設定しておけば、ピクチャスキップ回路206の接続をノード206a側に固定しておいたとしても、理想的な状態ではビットバッファ202がオーバーフローしたりアンダーフローしたりすることはない。

【0101】従って、通常の再生時において、ビットバッファ202から1ピクチャ分のデータが一気に読み出された直後の占有量 $B_m$  ( $=B_0 \sim B_4$ ) は、閾値 $B_{th1}$ に基づいて、式(5)に示す条件を満たすように規定される。尚、閾値 $B_{th1}$ は、式(4)に基づいて、式(6)に示すように設定される。

【0102】

$$0 < B_m < B_{th1} < B \quad \dots\dots (5)$$

$$B_{th1} = B - X = B - (RB / RP) \quad \dots\dots (6)$$

ところで、実際の状態では、式(2)に示すようにビットバッファ202の容量 $B$ を設定しておいても、ピクチャスキップ回路206の接続をノード206a側に固定

しておく、ビットバッファ202がオーバーフローする恐れがある。

【0103】しかし、ビデオデコーダ201では、通常の再生時において、ビットバッファ202の占有量 $B_m$ が閾値 $B_{th1}$ を越えた場合、ビットバッファ202がオーバーフローする恐れがあると判定される。すると、ビットバッファ202の占有量 $B_m$ が閾値 $B_{th1}$ を下回るまで、ビットバッファ202から適宜なピクチャ分のビデオストリームが読み出される。そして、ピクチャスキップ回路206はノード206b側に接続され、そのビットバッファ202から読み出された適宜なピクチャ分のビデオストリームは全てスキップされる。従って、ビデオデコーダ201によれば、通常の再生時において、ビットバッファ202がオーバーフローすることはな \*

$$0 < B_m < B_{thn}$$

$$B_{thn} = B - n \times X = B - (n \times RB / RP) \quad \dots\dots\dots (8)$$

高速再生時においては、ビットバッファ202の占有量 $B_m$ が閾値 $B_{thn}$ を越えた場合、ビットバッファ202がオーバーフローする恐れがあると判定される。例えば、2倍速再生時には占有量 $B_m$ が閾値 $B_{th2} (= B - (2 \times RB / RP))$ を越えた場合、3倍速再生時には占有量 $B_m$ が閾値 $B_{th3} (= B - (3 \times RB / RP))$ を越えた場合に、ビットバッファ202がオーバーフローする恐れがあると判定される。すると、ビットバッファ202の占有量 $B_m$ が閾値 $B_{thn}$ を下回るまでビットバッファ202から適宜なピクチャ分のビデオストリームが読み出され、そのビデオストリームは全てスキップされる。従って、ビデオデコーダ201によれば、高速再生時において、ビットバッファ202がオーバーフローすることはない。

【0107】デコードコア回路204において任意のピクチャをデコードしている途中でビットバッファ202がオーバーフローすると、デコード処理中のピクチャのビットバッファ202に残っている部分に対して、新たに入力されたビデオストリームが上書きされる。その結果、デコード処理中のピクチャのビットバッファ202に残っている部分が破壊されて失われる。すると、デコードコア回路204では、そのピクチャのデコードを完了することが不可能になり、そのピクチャのビデオ信号を生成することができなくなる。従って、デコードコア回路204において任意のピクチャをデコードしている途中でビットバッファ202がオーバーフローすることは絶対に避けなければならない。

【0108】そのため、ビットバッファ202がオーバーフローする恐れがあるかどうかの判定は、デコードコア回路204において任意のピクチャのデコードを開始する前に行う必要がある。より正確には、ピクチャヘッダ検出回路203がピクチャヘッダを検出した時点で、ビットバッファ202がオーバーフローする恐れがあるかどうかを判定し、そのピクチャをピクチャスキップ回

\*い。

【0104】高速再生時におけるビットバッファ202の占有量 $B_m$ はビットレート $n \times RB$ をグラフの傾きとして上昇する。例えば、2倍速再生時におけるビットバッファ202の占有量 $B_m$ はビットレート $2 \times RB$ をグラフの傾きとして上昇する。

【0105】従って、高速再生時において、ビットバッファ202から1ピクチャ分のデータが一気に読み出された直後の占有量 $B_m (= B_0 \sim B_4)$ は、閾値 $B_{thn}$ に基づいて、式(7)に示す条件を満たすように規定される。尚、閾値 $B_{thn}$ は式(8)に示すように設定される。

【0106】

$$\dots\dots\dots (7)$$

路206を介してスキップするかどうかを決定する必要がある。

【0109】ところで、1つのピクチャのデータ量は0～40バイトであるが、そのデータ量はデコードコア回路204においてデコードが終了した時点でないといわれない。また、1つのピクチャのデコード処理時間は、そのピクチャのデータ量やデコードコア回路204の動作速度によって異なるが、通常、1フレーム期間の1/3～3/4程度である。

【0110】ビットバッファ202から読み出されたピクチャのデータ量が0バイトの場合、そのピクチャの読み出し前後でビットバッファ202の占有量 $B_m$ は変化しないため、そのピクチャをスキップしたとしてもオーバーフローを回避することはできない。逆に言えば、ビットバッファ202から読み出されたピクチャのデータ量が0バイトの場合でも、ビットバッファ202に十分な空き容量があればオーバーフローすることはない。

【0111】そこで、1フレーム期間にビットバッファ202に入力されるビデオストリームのデータ量分の空き容量を、ビットバッファ202に確保しておく。そうすれば、ビットバッファ202から読み出されたピクチャのデータ量が0バイトの場合でもオーバーフローすることはない。

【0112】1フレーム期間にビットバッファ202に入力されるビデオストリームのデータ量は、 $(n \times X = n \times RB / RP)$ になる。ビットバッファ202の空き容量がこのデータ量以上であればオーバーフローすることはない。従って、式(8)に示すように閾値 $B_{thn}$ を設定しておけば、ビットバッファ202のオーバーフローを確実に回避することができる。

【0113】すなわち、判定回路205は、ピクチャヘッダ検出回路203がピクチャヘッダを検出した時点でビットバッファ202の空き容量をチェックし、十分な空き容量 $(n \times X = n \times RB / RP)$ が確保されている

かどうかを判定する。十分な空き容量が確保されていない場合は、そのピクチャヘッダに基づいて制御コア回路207がビットバッファ202から読み出したピクチャを、ピクチャスキップ回路206を介してスキップする。続いて、判定回路205は、ピクチャヘッダ検出回路203が次のピクチャヘッダを検出した時点で、再びビットバッファ202の空き容量をチェックする。これらの処理に要する時間は、デコードコア回路204のデコード処理時間に比べてはるかに短いため、ビットバッファ202に十分な空き容量が確保できてからデコードコア回路204のデコード処理を開始しても十分に間に合う。

【0114】ところで、ピクチャヘッダ検出回路203がピクチャヘッダを検出した時点や、デコードコア回路204がデコードを開始した後に、ビットバッファ202がアンダーフローすることがある。この場合は、ビデオストリームがビットバッファ202に入力され次第、ビットバッファ202から1ピクチャ分のビデオストリームを逐次読み出せばよい。特に問題とはならない。

【0115】以上詳述したように、ビデオデコーダ201によれば、以下に示す効果を得ることができる。

【0116】①通常の再生時において、ビットバッファ202のオーバーフローを回避することができる。

【0117】②高速再生時において、ビットバッファ202のオーバーフローを回避することができる。

【0118】③判定回路205およびピクチャスキップ回路206を設けることにより、ビットバッファ202のオーバーフローを回避することができる。上記したように判定回路205およびピクチャスキップ回路206の制御は簡単であるため、制御コア回路207はマイクロコンピュータを用いて構成する必要がない。そして、各回路203～207は1チップのLSIに搭載されている。従って、ビデオデコーダ201を小型化することができる。

【0119】④ピクチャスキップ回路206のノード206b側からスキップされるビデオストリームは、ピクチャ単位となる。そのため、デコードコア回路204へ転送されるピクチャの途中でデータが途切れることはない。従って、デコードコア回路204では、1ピクチャだけでなくPピクチャやBピクチャについてもデコード可能になる。その結果、ディスプレイ105で再生される動画に生じるコマ落ちが少なくなる。そのため、2～4倍という比較的遅い高速再生時において、数コマ/秒の表示が可能になる。従って、高速再生時における動画の動きを滑らかにして画質を大幅に向上させることができる。

【0120】ところで、上記したビデオデコーダ201において、式(9)に示す規定を満たすように、2つの閾値B2thn、B3thnを設定してもよい。尚、各閾値B2

hn、B3thnの値は、上記のように再生速度に応じて設定されると共に、ディスプレイ105で再生される動画の画質を実際に検討して適宜に設定すればよい。

【0121】 $0 < B3thn < B2thn < B$  ..... (9)

判定回路205は、ビットバッファ202の占有量Bmと各閾値B3thn、B2thnとを比較し、占有量Bmが式(10)～(12)に示すどの領域に含まれるかを判定する。

【0122】 $Bm < B3thn$  ..... (10)

10  $B3thn < Bm < B2thn$  ..... (11)

$B2thn < Bm$  ..... (12)

判定回路205は、式(10)に示すように、ビットバッファ202の占有量Bmが閾値B3thnを越えない場合には、ビットバッファ202がオーバーフローする恐れがなく正常であると判定する。この場合、制御コア回路207は、ビットバッファ202から1ピクチャ分のビデオストリームを読み出す。そして、制御コア回路207は、ピクチャスキップ回路206をノード206a側に接続し、そのビットバッファ202から読み出されたピクチャをデコードコア回路204へ転送させる。

20 【0123】判定回路205は、式(12)に示すように、ビットバッファ202の占有量Bmが閾値B2thnを越え且つ閾値Bthnを越えない場合に、ビットバッファ202から読み出されたピクチャがIピクチャまたはPピクチャならば、第1のフラグを立てる。また、式(11)に示すように、ビットバッファ202の占有量Bmが閾値B3thnを越え且つ閾値B2thnを越えない場合に、ビットバッファ202から読み出されたピクチャがPピクチャならば、第2のフラグを立てる。第1または第2のフラグが立っている場合、式(10)に示す場合でも、制御コア回路207は、ビットバッファ202から読み出されたピクチャがBピクチャならば、ピクチャスキップ回路206をノード206b側に接続し、そのピクチャをスキップさせる。

30 【0124】図11に、2つの閾値B2thn、B3thnを設定した場合におけるビットバッファ202の占有量Bmの変化を示す。占有量Bmが閾値B3thnを越えた場合、ビットバッファ202から読み出されたピクチャがBピクチャであればデコードせずにスキップする(図示※1)。ここで、Bピクチャのスキップ後に占有量Bmがまだ閾値B3thnを越えていても、ビットバッファ202から次に読み出されたピクチャがIピクチャまたはPピクチャであればデコードする(図示※2)。

40 【0125】占有量Bmが閾値B3thnを越えた場合でも、ビットバッファ202から読み出されたピクチャがIピクチャまたはPピクチャであればデコードする(図示※3)。ここで、IピクチャまたはPピクチャのデコード後に占有量Bmがまだ閾値B3thnを越えている場合、ビットバッファ202から次に読み出されたピクチャがBピクチャであればデコードせずにスキップする

(図示※4)。このBピクチャのスキップは、占有量 $B_m$ が閾値 $B3thn$ を下回るまで繰り返し行う(図示※5)。

【0126】占有量 $B_m$ が閾値 $B2thn$ を越えた場合、ビットバッファ202から読み出されたピクチャがIピクチャまたはPピクチャであれば、判定回路205は第1のフラグを立てる(図示※6)。第1のフラグが立っている場合、ビットバッファ202から次に読み出されたピクチャがBピクチャであれば、占有量 $B_m$ が閾値 $B3thn$ を下回っていても、そのBピクチャをスキップする(図示※7)。

【0127】占有量 $B_m$ が閾値 $B3thn$ を越え且つ閾値 $B2thn$ を越えない場合、ビットバッファ202から読み出されたピクチャがPピクチャであれば、判定回路205は第2のフラグを立てる(図示※8)。第2のフラグが立っている場合、ビットバッファ202から次に読み出されたピクチャがBピクチャであれば、占有量 $B_m$ が閾値 $B3thn$ を下回っていても、そのBピクチャをスキップする(図示※9)。

【0128】占有量 $B_m$ が閾値 $B3thn$ を越え且つ閾値 $B2thn$ を越えない場合、ビットバッファ202から読み出されたピクチャがIピクチャのときには、判定回路205は第2のフラグを立てない(図示※10)。第2のフラグが立っていない場合、占有量 $B_m$ が閾値 $B3thn$ を下回っていれば、ビットバッファ202から次に読み出されたピクチャがBピクチャであってもデコードする。

【0129】以上のように、2つの閾値 $B2thn$ 、 $B3thn$ を設定した場合には、上記したビデオデコーダ201の効果①～③に加えて、以下の効果を得ることができる。

【0130】④ビットバッファ202の占有量 $B_m$ が閾値 $B3thn$ を越え且つ閾値 $B2thn$ を越えない場合、IピクチャおよびPピクチャを可能な限りデコードすると共に、Bピクチャを優先してスキップする。

【0131】Bピクチャは双方向予測によって生成されるため、その重要度はIピクチャやPピクチャに比べて低い。従って、重要度の低いBピクチャを優先してスキップすることにより、ディスプレイ105で再生される動画に生じるコマ落ちをさらに少なくすることができる。その結果、高速再生時における動画の動きをさらに滑らかにして画質をより向上させることができる。

【0132】⑤第1のフラグを設定することで、IピクチャまたはPピクチャのデコード後にビットバッファ202の占有量 $B_m$ が閾値 $B3thn$ を下回っても、余裕をみて次にビットバッファ202から読み出されるBピクチャを予めスキップすることができる。また、第2のフラグを設定することで、Pピクチャのデコード後にビットバッファ202の占有量 $B_m$ が閾値 $B3thn$ を下回っても、余裕をみて次にビットバッファ202から読み出されるBピクチャを予めスキップすることができる。

【0133】このように、Bピクチャを予めスキップす

ることは、ビットバッファ202の次のオーバーフローに対して予防措置を講ずることに他ならない。従って、ビットバッファ202のオーバーフローをより確実に回避することができる。

【0134】⑥Iピクチャのデータ量はPピクチャのそれの2～3倍と多い。そのため、Pピクチャが読み出された場合に比べて、Iピクチャが読み出された場合の方がビットバッファ202の占有量 $B_m$ の減少の度合いが大きい。従って、Pピクチャが読み出された後よりも、Iピクチャが読み出された後の方がビットバッファ202がオーバーフローする可能性が小さくなる。そこで、第1および第2のフラグを設定することにより、IピクチャとPピクチャとで前記予防措置に差をつける。すなわち、Iピクチャに対する予防措置の閾値 $B2thn$ を、Pピクチャに対する予防措置の閾値 $B3thn$ よりも高い値に設定することで、Iピクチャに対する予防措置をPピクチャのそれに比べて緩くすることが可能になる。その結果、Bピクチャの無駄なスキップを少なくすることができる。

【0135】⑦以下のa) b)に示すGOP構成(ピクチャのタイプの並び)のビデオストリームが外部機器から転送されてきた場合についてシミュレーションしたところ、以下に示す結果が得られた。

【0136】a) I B P B P B P B P . . .

b) I B B P B B P B B P B B P B B I B P . . .

[1] 2倍速再生時; a)の場合、IピクチャおよびPピクチャの全てがデコード可能であり、その結果、30コマ/秒のフルレートで表示できる。b)の場合、IピクチャおよびPピクチャの全てとBピクチャの一部がデコード可能であり、その結果、25コマ/秒以上で表示できる。

【0137】[2] 4倍速再生時; a) b)共に、Iピクチャおよびそれに続く3～4枚のPピクチャがデコード可能であり、その結果、15コマ/秒以上で表示できる。尚、上記各実施形態は以下のように変更してもよく、その場合でも同様の作用および効果を得ることができる。

【0138】(1)第1～4実施形態の内いずれか2つ以上の実施形態を適宜に組み合わせて実施する。このようにすれば、組み合わせた各実施形態の相乗作用によりさらに優れた効果を得ることができる。

【0139】図7に、第1～4実施形態を全て組み合わせた場合(第5実施形態)のMPEGオーディオデコーダ41の要部ブロック回路を示す。MPEGオーディオデコーダ41は、ビットバッファ2、デコードコア回路3、占有量判定回路12、解析回路42、スキップ回路8から構成されている。デコードコア回路3は、逆量子化部32、帯域合成部5、PCM出力部6、制御回路22から構成されている。尚、解析回路42は、各解析回路9、13の動作を切り換えて行うようにする。このよ

うにすれば、第1～4実施形態の相乗作用により極めて優れた効果を得ることができる。

【0140】(2) 第1～4実施形態をCPUを用いたソフトウェア的な処理に置き代える。すなわち、各回路(2～32)における信号処理をCPUを用いたソフトウェア的な信号処理に置き代える。

【0141】(3) 図1、図2及び図7に示す実施形態においては、説明を分かりやすくするために、スキップ回路8が、ノード8a、8bを有し、データに応じて接続が切り換えられるような構成としたが、この構成に代えて、このスキップ回路8を、解析回路9、13、42からの信号に応じて、オーディオストリーム中の必要なデータだけを通過させる論理回路によって構成するようにしてもよい。

【0142】同様に、図9に示すピクチャスキップ回路206もデコードされるべきピクチャデータだけを通過させるための論理回路によって構成してもよい。

【0143】(4) 図13に示すように、図1、図2及び図7に示す実施形態において、スキップ回路8を省略し、制御回路7、22がスキップ回路8と同等の機能を有してもよい。

【0144】この場合、制御回路7、22は、関連する解析回路9、13、42と接続され、解析回路9、13、42からの解析結果に基づいて、必要なデータがビットバッファ2に供給されたときに、その必要なデータをビットバッファ2内の正規のアドレスAnに格納する。解析結果に基づいて不要なデータが供給されたときには、上記正規のアドレスAnの次のアドレスAn+1に一時的に格納する。

【0145】これに引き続いて、新たに別のデータが供給されたとき、制御回路7、22は、次のアドレスAn+1に格納された不要なデータが新たな必要なデータに置き換えられるようにビットバッファ2のメモリ制御を行う。次のアドレスAn+1に不要なデータが格納された状態で、新たに別の不要なデータが供給されたとき、制御回路7、22は、次のアドレスAn+1に格納された不要なデータが新たな不要なデータに置き換えられるようにメモリ制御を行う。

【0146】このメモリ制御による不要なデータの書換えは、ビットバッファ2のオーバーフローを防止する。尚、ここでいう不要なデータとは、第1実施形態や第2実施形態において、スキップ回路8によってスキップされるべきデータのことである。

【0147】ところで、特開平7-307674号公報(H03M 7/30, G10L 7/04, G10L 7/06, G10L 9/18)の第2段40～46行には、復号器(上記各実施形態におけるデコードコア回路3に相当)に入力するデータの転送レート(上記各実施形態におけるオーディオストリームのビットレートに相当)を上げ、これに伴って復号器の処理速度を向上させて瞬時にデータを復号化する旨の記載

がなされている。

【0148】しかし、第3実施形態のように、ビットバッファ2の占有量を判定し、それに応じてデコードコア回路3の処理速度を上げることにについて、同公報には示唆すらもされていない。従って、同公報に記載の技術では、第3実施形態の作用および効果は到底奏し得ないものである。

【0149】また、同公報の第8段29行～第9段11行には、FIFOメモリ(上記各実施形態におけるビットバッファ2に相当)へのデータの書き込みを制御することによって、復号器に入力するデータの間引き処理を実行する旨の記載がなされている。

【0150】しかし、第1実施形態のように、デコードコア回路3において不必要なデータだけをスキップすることについて、同公報には示唆すらもされていない。また、第2実施形態のように、ビットバッファ2の占有量を判定し、それに応じてデータをスキップすることについても、同公報には一切開示されていない。従って、同公報に記載の技術では、第1実施形態または第2実施形態の作用および効果は到底奏し得ないものである。

【0151】このように、上記各実施形態は、同公報に記載の発明とは構成、作用、効果が相違する。また、同公報に基づいて、上記各実施形態の作用および効果を想到することは、たとえ当業者といえども困難である。

【0152】

【発明の効果】以上詳述したように本発明によれば、ビットバッファのオーバーフローを回避することが可能なMPEGオーディオデコーダを提供することができる。

【図面の簡単な説明】

【図1】 第1実施形態の要部ブロック回路図。

【図2】 第2実施形態の要部ブロック回路図。

【図3】 第2実施形態の動作を説明するためのグラフ。

【図4】 第2実施形態の動作を説明するためのグラフ。

【図5】 第3実施形態の要部ブロック回路図。

【図6】 第4実施形態の要部ブロック回路図。

【図7】 第5実施形態の要部ブロック回路図。

【図8】 MPEGシステムデコーダの要部ブロック回路図。

【図9】 MPEGビデオデコーダの要部ブロック回路図。

【図10】 MPEGビデオデコーダの動作を説明するためのグラフ。

【図11】 MPEGビデオデコーダの動作を説明するためのグラフ。

【図12】 従来の形態の要部ブロック回路図。

【図13】 他の実施形態の要部ブロック回路図。

【符号の説明】

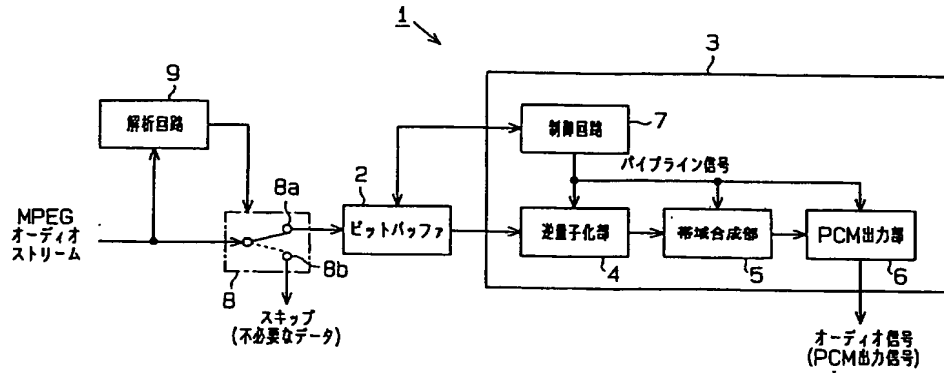
1, 11, 21, 31, 41…MPEGオーディオデコ

ーダ

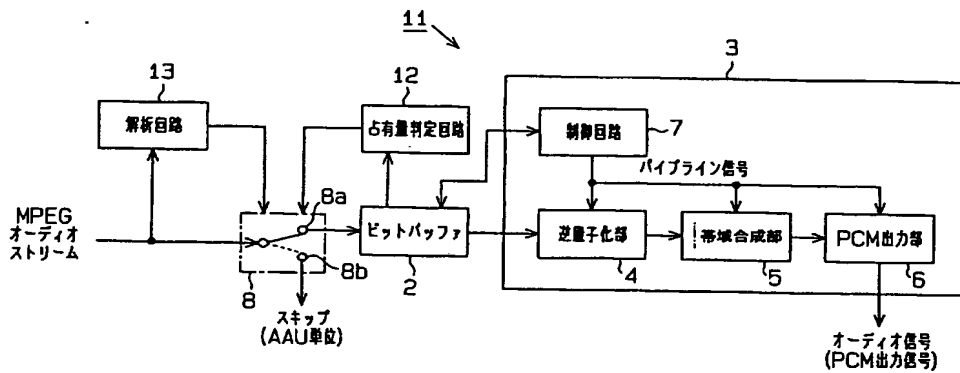
- 2…ビットバッファ  
3…デコードコア回路  
4, 32…逆量子化部  
5…帯域合成部

- 6…PCM出力部  
7, 22…制御回路  
8…スキップ回路  
9, 13…解析回路  
12…占有量判定回路

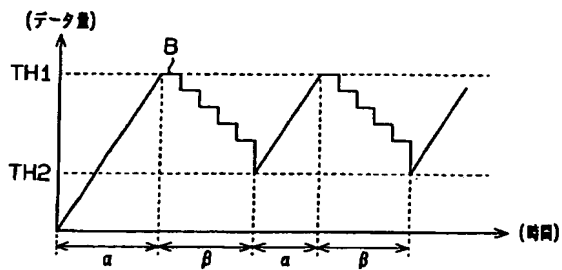
【図1】



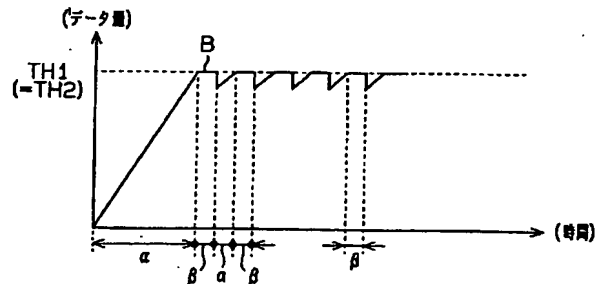
【図2】



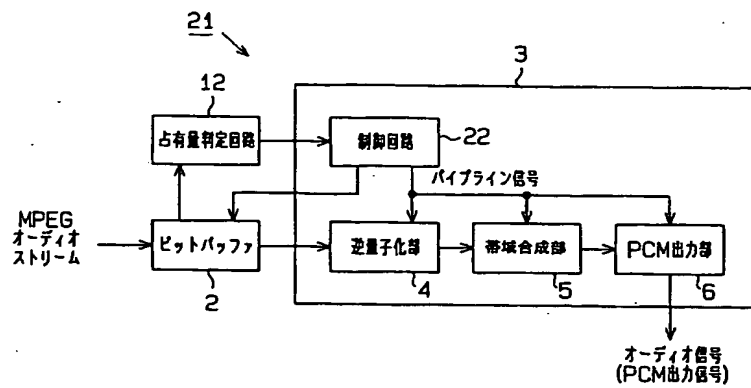
【図3】



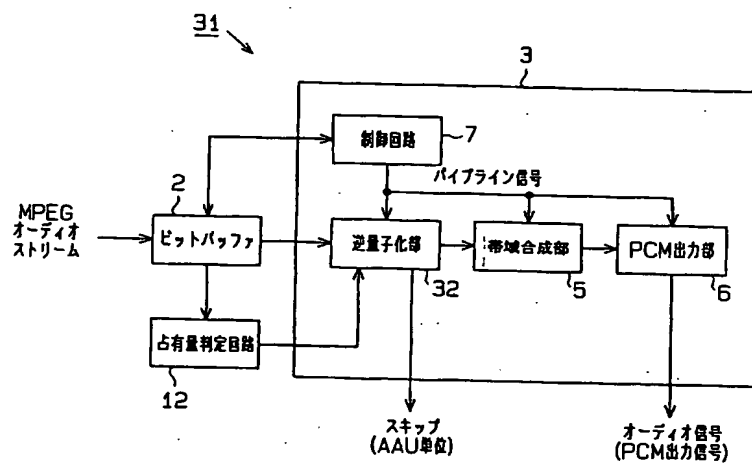
【図4】



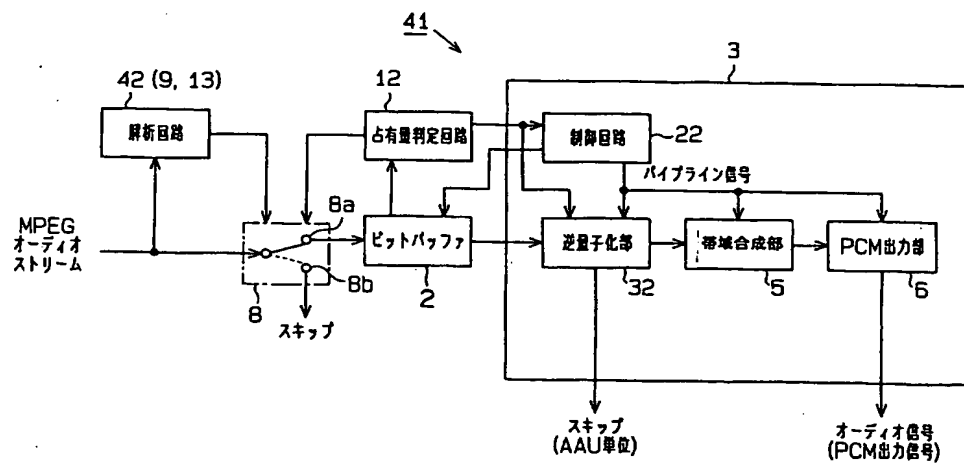
【図5】



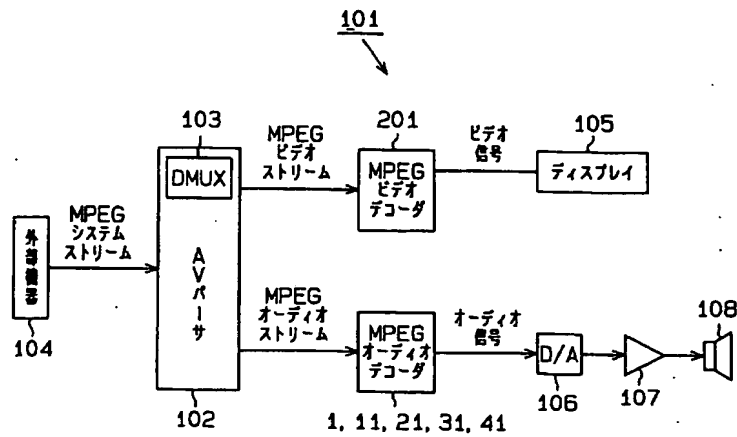
【図6】



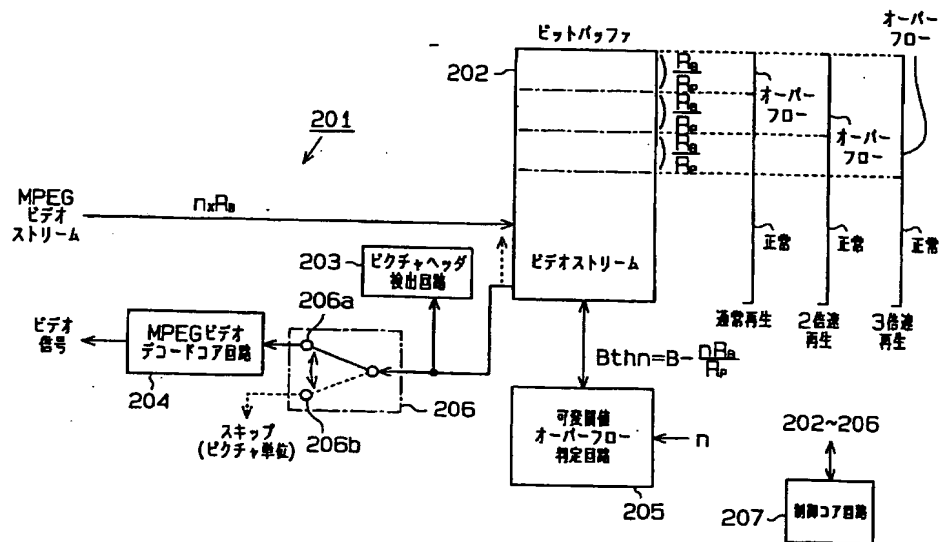
【図7】



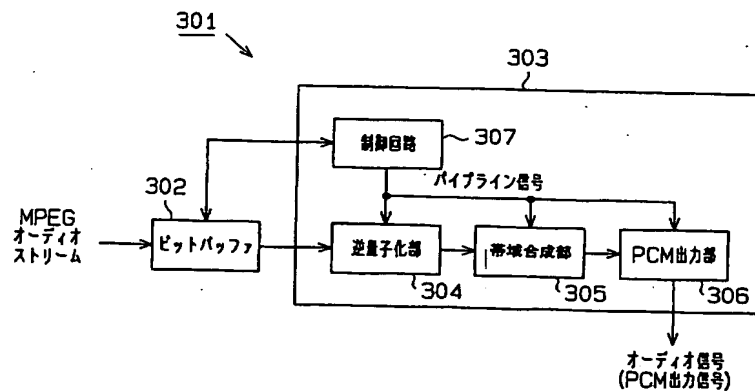
【図8】



【図9】

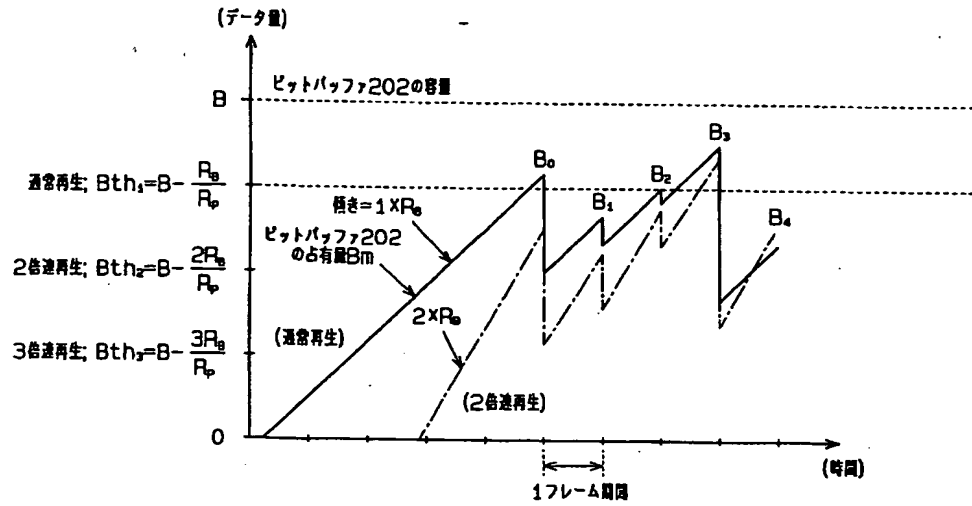


【図12】

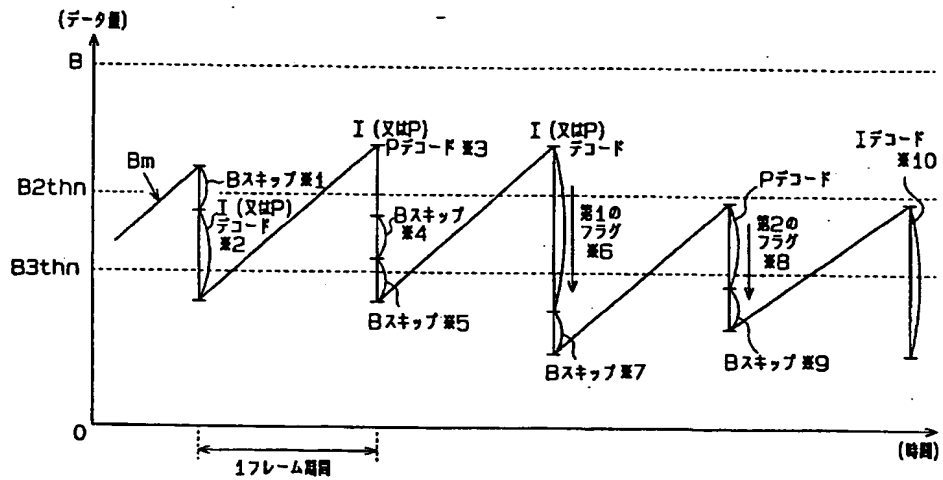




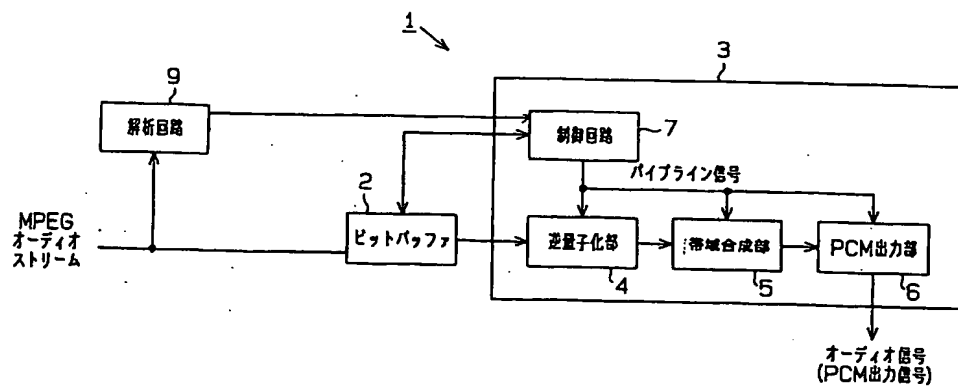
【図10】



【図11】



【図13】



**THIS PAGE BLANK (USPTO)**